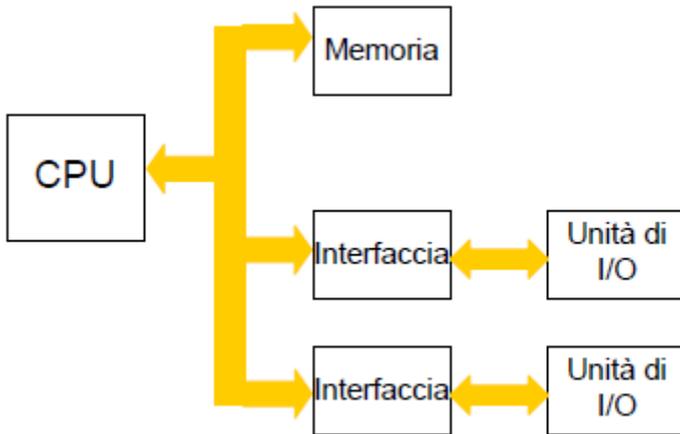


Architettura a bus singolo (parallela)

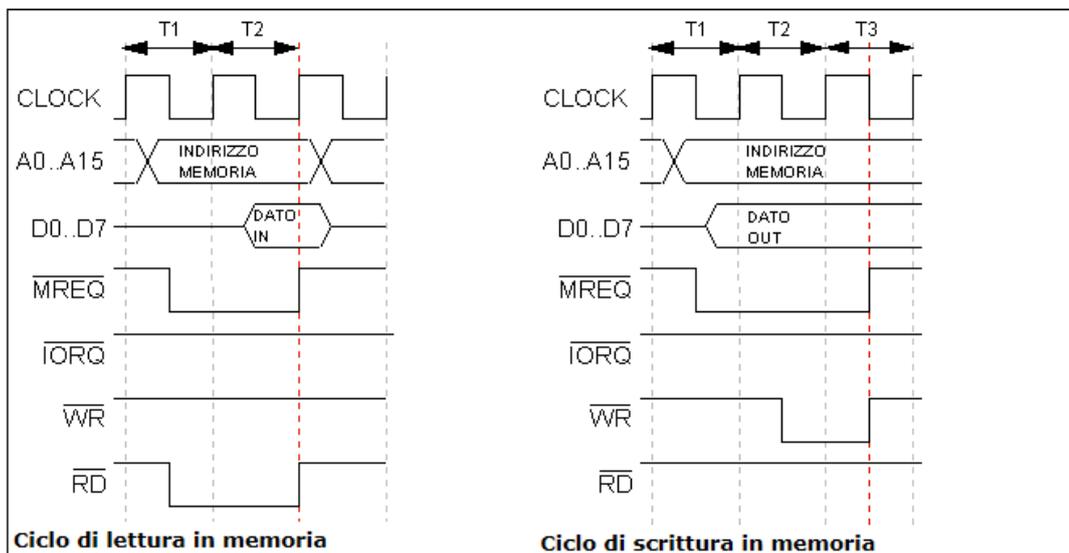
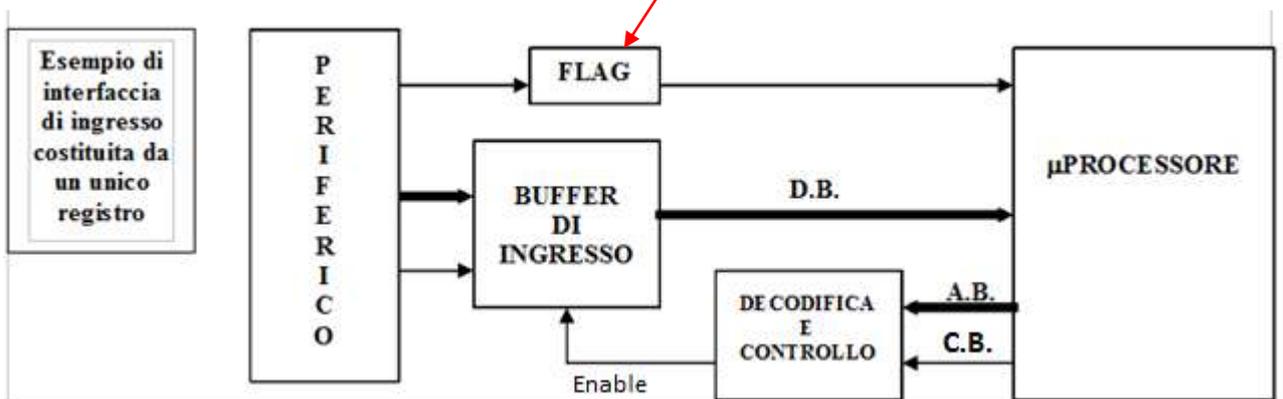
Problematiche d'interfacciamento:

- Sincronizzazione (diverse velocità in trasmissione e ricezione)
- livelli elettrici

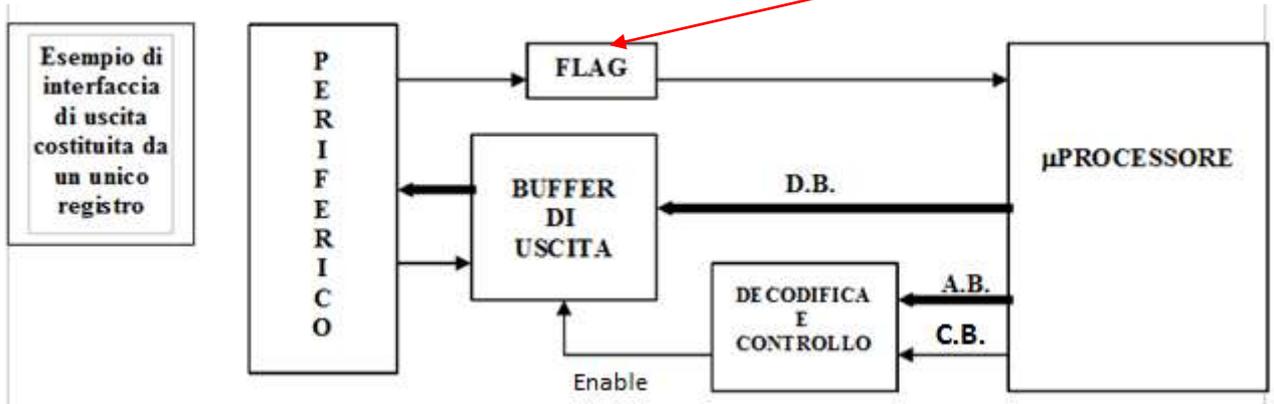


In **lettura**: evitare *bus contention* (fisico cortocircuito distruttivo); **FLAG** in gestione *polling* o *Interrupt*

Meno problematica la sincronizzazione:
 il ricevitore (CPU) è più veloce del trasmettitore
 (dispositivo) e non si perdono informazioni, solo tempi morti

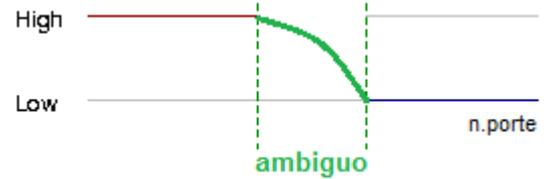


In **scrittura**: *memoria temporanea* per evitare perdita di dati (il μ processore è piú veloce); **FLAG** in gestione *polling* o *Interrupt*



Meno problematico l'interfacciamento in relazione ai livelli elettrici:

eccessivo assorbimento (se elevato numero di dispositivi) può causare *ambiguità* nell'identificare il livello, non situazione elettricamente distruttiva.



Esempio I/O isolati

