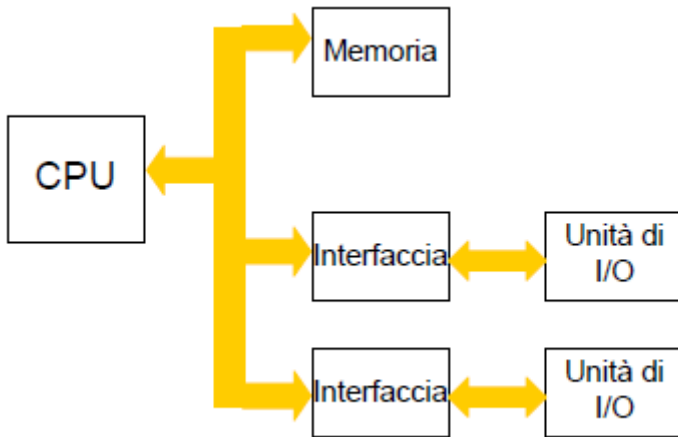


Architettura a bus singolo (parallela)

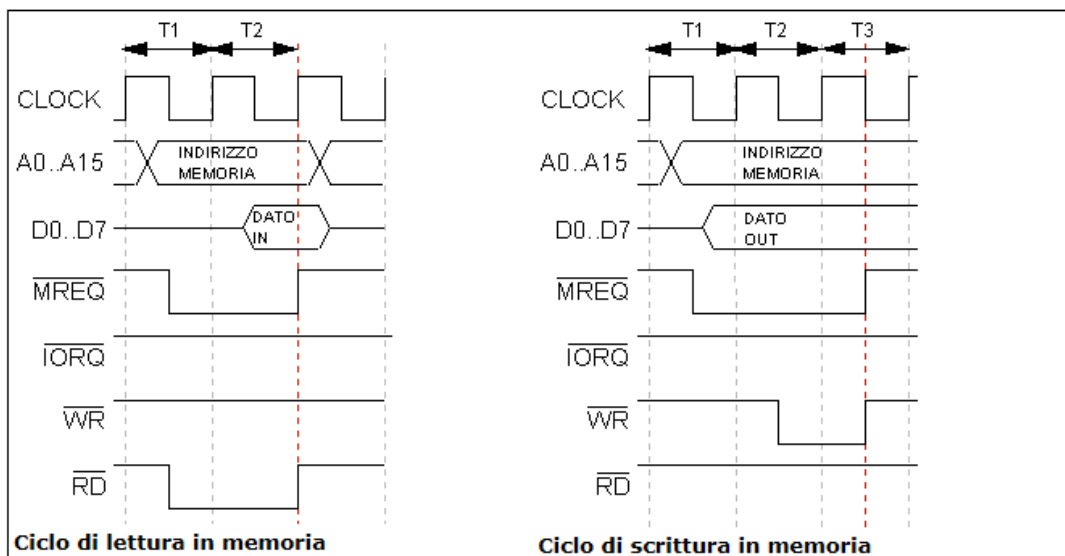
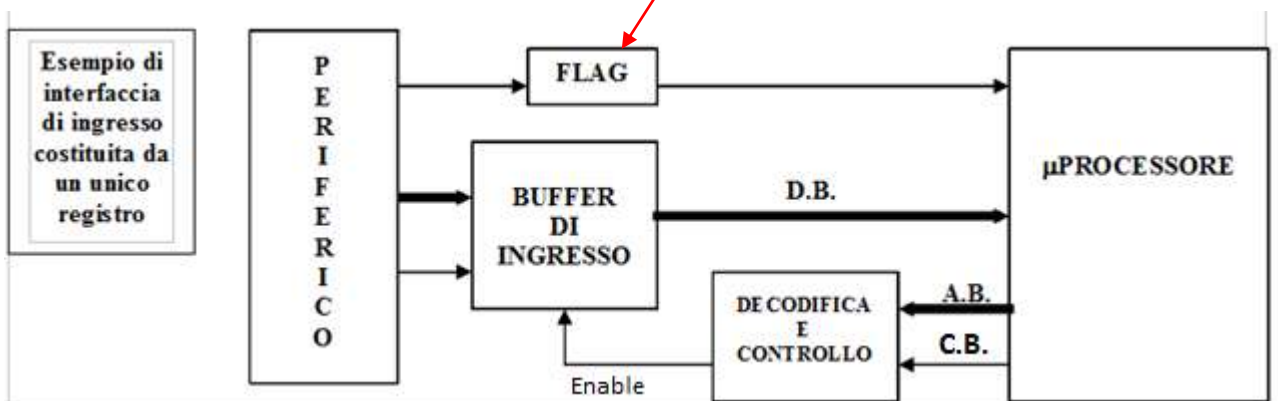
Problematiche d'interfacciamento:

- Sincronizzazione (diverse velocità in trasmissione e ricezione)
- livelli elettrici

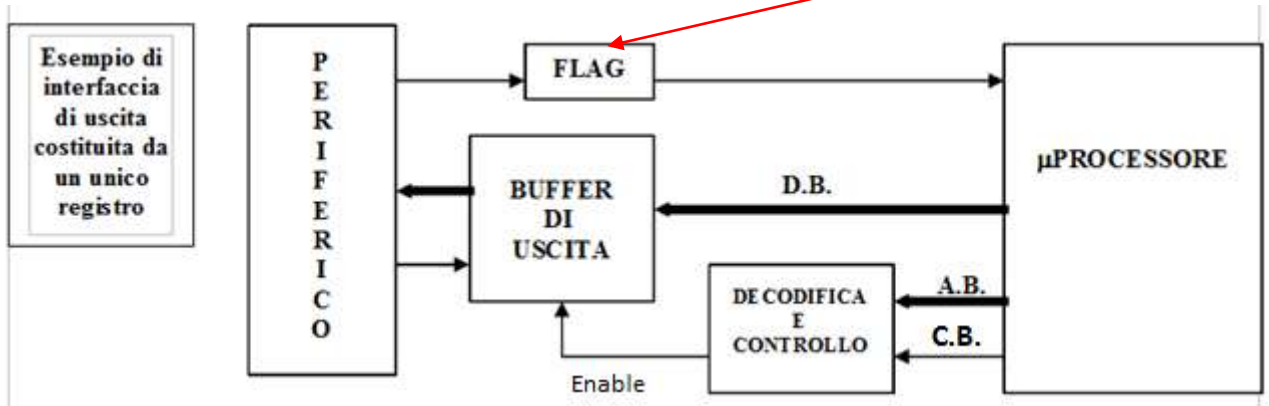


In **lettura**: evitare *bus contention* (fisico cortocircuito distruttivo); **FLAG** in gestione *polling* o *Interrupt*

Meno problematica la sincronizzazione:
 il ricevitore (CPU) è più veloce del trasmettitore
 (dispositivo) e non si perdono informazioni, solo tempi morti

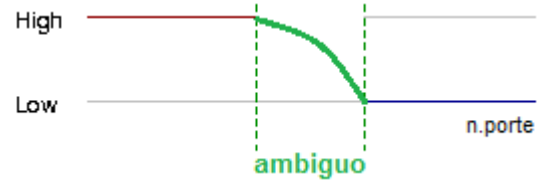


In **scrittura**: *memoria temporanea* per evitare perdita di dati (il μ processore è più veloce); **FLAG** in gestione *polling* o *Interrupt*

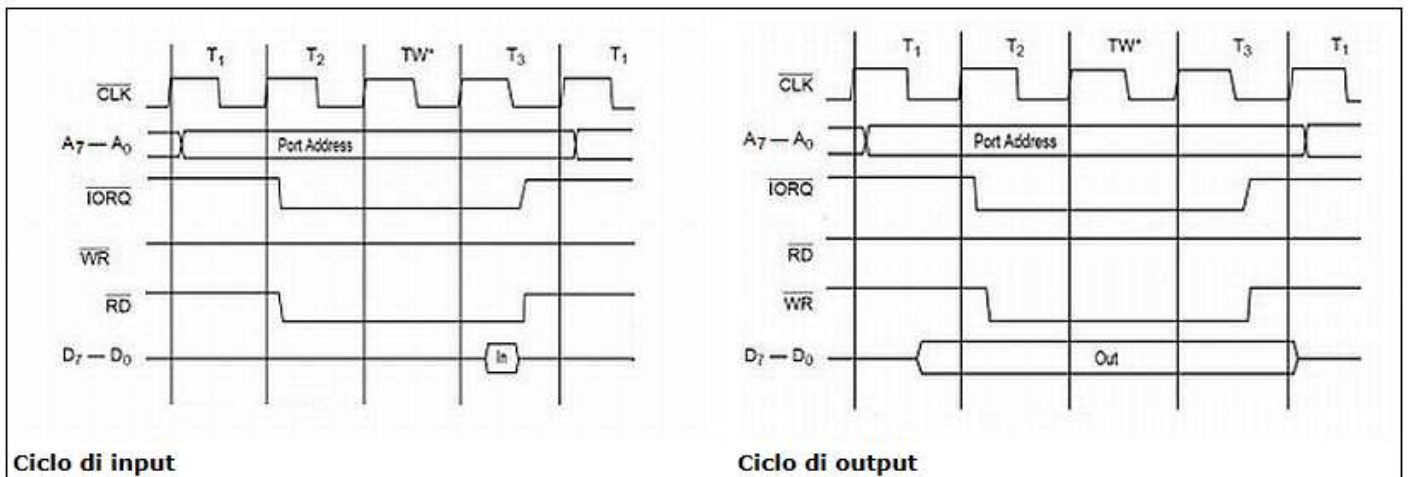
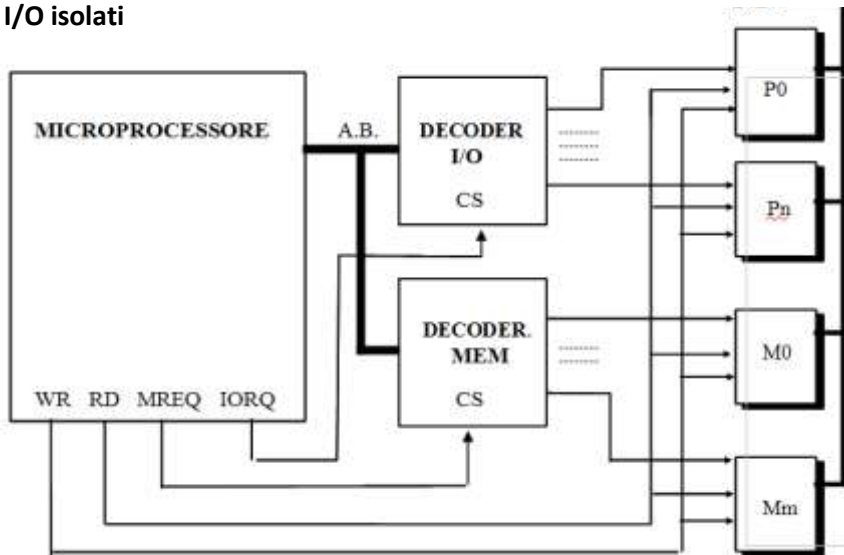


Meno problematico l'interfacciamento in relazione ai livelli elettrici:

eccessivo assorbimento (se elevato numero di dispositivi) può causare *ambiguità* nell'identificare il livello, non situazione elettricamente distruttiva.



Esempio I/O isolati



Flag

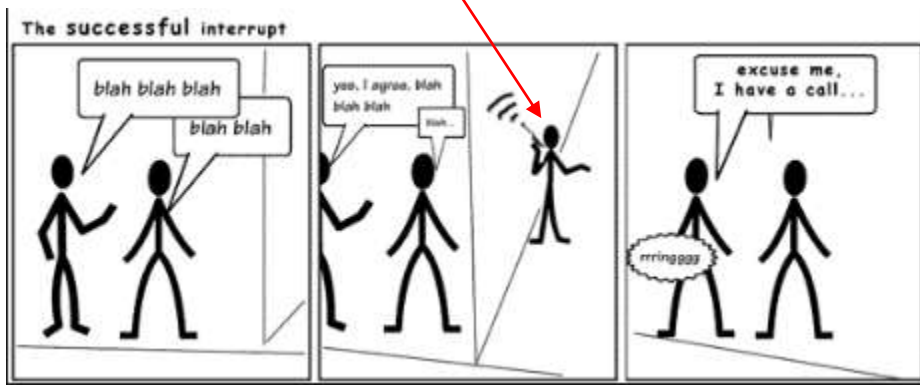


si chiede attenzione: *unico bit* per segnalare



Polling: si chiede attenzione e si attende di *essere serviti*

Interrupt: si chiede attenzione *interrompendo*



Vantaggi della tecnica ad Interrupt: tempestività nella *risposta*, si evitano tempi morti (nel caso che non tutti i periferici abbiano bisogno di servizio) e perdite di tempo (nel caso che nessun periferico abbia bisogno di servizio)

Svantaggi: circuiteria più complessa

